

METHOD OF FORMING GATE INSULATING FILM FOR SEMICONDUCTOR ELEMENT

Publication number: JP2001210834

Publication date: 2001-08-03

Inventor: JON-HAKU BAEKU

Applicant: HYUNDAI ELECTRONICS IND

Classification:


- international: H01L21/8234; H01L21/316; H01L21/334; H01L21/336; H01L27/088; H01L29/786; H01L21/70; H01L21/02; H01L27/085; H01L29/66; (IPC1-7): H01L29/786; H01L21/316; H01L21/336; H01L21/8234; H01L27/088

- European:

Application number: JP20000368359 20001204

Priority number(s): KR19990055769 19991208

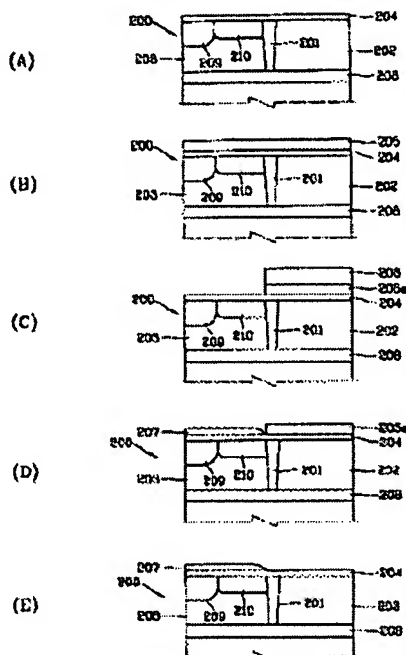
Also published as:

 KR20010054796 (A)

Report a data error here

Abstract of JP2001210834

PROBLEM TO BE SOLVED: To provide a method of forming gate insulating film for semiconductor element by which the thicknesses of gate insulating films can be adjusted in accordance with the characteristics of each element in a semiconductor substrate and, at the same time, the substrate can be prevented from being damaged. **SOLUTION:** In this method, a first gate insulating film 204 is formed on a semiconductor substrate 200 and a silicon nitride film 205 and a photoresist film are successively formed on the insulating film 204. Then a photoresist pattern 206 is formed by leaving the photoresist on a low-voltage element forming area 202 in a photolithography step. In addition, a silicon nitride film pattern 205a is formed by using the photoresist pattern 206 as a mask and the pattern 206 is removed. Finally, a second gate insulating film 207 is formed only on a high-voltage element forming area 203 by using the silicon nitride film pattern 205a as an oxidation preventing mask pattern and the pattern 205a is removed.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-210834
(P2001-210834A)

(43) 公開日 平成13年8月3日(2001.8.3)

(51) Int.Cl. ⁷	識別記号	F I	テマコード*(参考)
H 0 1 L	29/786	H 0 1 L 21/316	S
	21/336	29/78	6 1 7 V
	21/316	27/08	1 0 2 C
	21/8234	29/78	6 1 3 Z
	27/088		

審査請求 未請求 請求項の数5 O L (全 4 頁)

(21) 出願番号 特願2000-368359(P2000-368359)

(22) 出願日 平成12年12月4日(2000. 12. 4)

(31) 優先権主張番号 5 5 7 6 9 / 1 9 9 9

(32) 優先日 平成11年12月8日(1999. 12. 8)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 592211998

ヒュンダイ エレクトロニクス インダ
ストリーズ カンパニー リミテッド
大韓民国、キョンキド、イチョンクン、プ
バルウプ、アミリ、サン 136-1

(72) 発明者 ジョーン-ハク パエク

大韓民国、キョンキド、ヨンジン、スジ
-エウプ、ヒュンダクチュン-リ、664

(74) 代理人 100078330

弁理士 笹島 富二雄 (外1名)

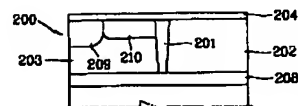
(54) 【発明の名称】 半導体素子のゲート絶縁膜形成方法

(57) 【要約】

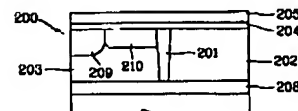
【課題】ゲート絶縁膜の厚さを半導体基板内の各素子特性に合わせて調節できると共に、半導体基板が損傷することを防止できる半導体素子のゲート絶縁膜形成方法を提供する。

【解決手段】半導体基板200上に第1ゲート絶縁膜204を形成し、その上面にシリコン窒化膜205、フォトレジスト膜を順次形成する。次に、フォトリソグラフィ工程を施して、低電圧素子形成領域202上にフォトレジスト膜を残し、フォトレジストパターン206を形成する。そして、フォトレジストパターン206をマスクとしてシリコン窒化膜パターン205aを形成した後、フォトレジストパターン206を除去する。最後に、シリコン窒化膜パターン205aを酸化防止マスクパターンとして高電圧素子形成領域203上のみに第2ゲート絶縁膜207を形成し、シリコン窒化膜パターン205aを除去する。

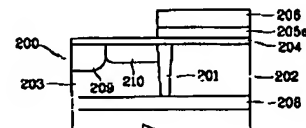
(A)



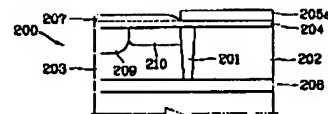
(B)



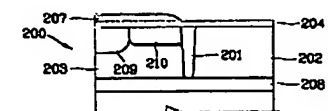
(C)



(D)



(E)



【特許請求の範囲】

【請求項1】素子分離領域により分離された第1及び第2素子形成領域を有する半導体基板の上面全体に第1ゲート絶縁膜を形成する工程と、

前記第1素子形成領域の前記第1ゲート絶縁膜上面にのみ酸化防止マスクパターンを形成する工程と、

前記酸化防止マスクパターンをマスクとして、前記第2素子形成領域の前記第1ゲート絶縁膜上面に第2ゲート絶縁膜を形成する工程と、

前記酸化防止マスクパターンを除去する工程と、を備えたことを特徴とする半導体素子のゲート絶縁膜形成方法。

【請求項2】前記第1素子形成領域は、低電圧素子を形成するための領域で、前記第2素子形成領域は、高電圧素子を形成するための領域であることを特徴とする請求項1に記載の半導体素子のゲート絶縁膜形成方法。

【請求項3】前記第1ゲート絶縁膜及び第2ゲート絶縁膜は、熱酸化法で形成することを特徴とする請求項1または2に記載の半導体素子のゲート絶縁膜形成方法。

【請求項4】前記酸化防止マスクパターンは、シリコン窒化膜であることを特徴とする請求項1～3のいずれか1つに記載の半導体素子のゲート絶縁膜形成方法。

【請求項5】素子特性の相異なる複数の素子を集積したスマート集積回路の素子のゲート絶縁膜を形成するために適用することを特徴とする請求項1～4のいずれか1つに記載の半導体素子のゲート絶縁膜形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体素子のゲート絶縁膜形成方法に関し、特に、1つの半導体基板に集積した電気的特性が相異なる半導体素子のゲート絶縁膜形成方法に関する。

【0002】

【従来の技術】一般に、制御機能及び駆動機能を一つのチップ内に組み合わせたスマート集積回路は、出力部が、約15～80Vの高電圧で動作する高電圧（high power）トランジスタ（以下、高電圧素子と称す）から構成され、ロジック部が、約5V以下の低電圧で動作する通常のトランジスタ（以下、低電圧素子と称す）から構成される。

【0003】このようなスマート集積回路は、主に、液晶表示装置（Liquid Crystal Display；LCD）のような表示装置及びHDTV（High Definition TV）などの駆動用に利用される。そして、前記高電圧素子と、低電圧素子とは、構造及び製造方法が相異し、特に、それらのゲート絶縁膜の厚さが相異なる。即ち、高電圧素子の場合、ゲート電極に高電圧が印加されるため、ゲート絶縁膜が薄いと、破壊される恐れがある。そこで、高い印加電圧にも耐え得るように、高電圧素子のゲート絶縁膜を当該印加電圧に応じて、低電圧素子のゲート絶縁

膜よりも厚く形成する必要がある。

【0004】例えば、通常のスマート集積回路において、高電圧素子のゲート絶縁膜は、一般に、約400Åの厚さに形成されるのに対して、低電圧素子のゲート絶縁膜は、約200Åの厚さに形成される。このため、高電圧素子のゲート絶縁膜及び低電圧素子のゲート絶縁膜を同時に形成することができない。このように構成される従来のスマート集積回路素子のゲート絶縁膜の製造方法を、図2（A）～（C）を参照しながら説明する。尚、図2は、従来のスマート集積回路素子の構造を概略的に示した図であって、実際の構造及び寸法を示しているものではない。

【0005】先ず、図2（A）に示したように、半導体基板100、即ち、ウェーハの上面全体に、熱酸化法により形成される二酸化シリコン酸化膜からなる約300Åの第1ゲート絶縁膜110を形成する。半導体基板100は、図2（A）に示したように、素子分離領域100cで区分された高電圧素子形成領域100aと、低電圧素子形成領域100bとを有する。前記半導体基板100の所定深さには、絶縁膜100dが形成されて、素子分離特性を向上させる機能を奏する。且つ、前記高電圧素子形成領域100a内には、不純物ウェル101、102が形成されている。

【0006】次いで、図2（B）に示したように、高電圧素子形成領域100a及び素子分離領域100cの上面にフォトリソ膜パターン111を形成した後、前記低電圧素子形成領域100bの上面の第1ゲート絶縁膜110を湿式食刻法を利用して除去する。さらに、前記高電圧素子形成領域100a及び素子分離領域100cの上面のフォトリソ膜パターン111を除去する。

【0007】その後、前記高電圧素子形成領域100a及び素子分離領域100c上の第1ゲート絶縁膜110と、低電圧素子形成領域100bの上面全体に、熱酸化法を施して二酸化シリコン酸化膜からなる第2ゲート絶縁膜112を形成する。こうして、図2（C）に示したように、従来のスマート集積回路素子のゲート絶縁膜の製造が完了する。

【0008】前記第2ゲート絶縁膜112は、素子上面に渡って同一工程で形成されるのにも関わらず、例えば、低電圧素子形成領域100bの上面では約200Åの厚さに形成されるのに対し、高電圧素子形成領域100aの上面では約100Åの厚さに形成され、各領域上で異なる厚さとなる。結果的に、高電圧素子形成領域100aの上面には、約300Åの第1ゲート絶縁膜110と、約100Åの第2ゲート絶縁膜112が形成されて、約400Åの厚さのゲート絶縁膜が形成される。このように形成される理由は、前記高電圧素子形成領域100a上に形成された第1絶縁膜110がシリコンからなる半導体基板の酸化を抑制することによって、高電

圧素子形成領域100aに対応する第2ゲート絶縁膜112の成長速度が遅くなるためである。

【0009】図2(C)に示したように、ゲート絶縁膜の製造が完了すると、該ゲート絶縁膜の上面にゲート電極の形成など、高電圧素子及び低電圧素子の製造を行うが、本発明の趣旨から外れるため説明を省略する。

【0010】

【発明が解決しようとする課題】然るに、このような従来のスマート集積回路素子のゲート絶縁膜形成方法においては、第1ゲート絶縁膜を形成した後、低電圧素子形成領域の上面の第1ゲート絶縁膜を湿式食刻法を施して除去する過程で、低電圧素子のアクティブ領域となる半導体基板上面の損傷が発生して、素子の特性が低下するという不都合な点があった。

【0011】また、第2ゲート絶縁膜の形成工程では、高電圧素子形成領域の上面に第1ゲート絶縁膜が形成された状態で第2ゲート絶縁膜を形成するため、高電圧素子形成領域のゲート絶縁膜の厚さを調節し難いという不都合な点があった。そこで、本発明は、このような従来の問題点に鑑みてなされたもので、その目的は、第1素子形成領域内のアクティブ領域となる半導体基板部位の損傷を防止でき、ゲート絶縁膜の厚さを容易に調節し得る半導体素子のゲート絶縁膜形成方法を提供することにある。

【0012】

【課題を解決するための手段】このため、請求項1に係る発明は、素子分離領域により分離された第1及び第2素子形成領域を有する半導体基板の上面全体に第1ゲート絶縁膜を形成する工程と、前記第1素子形成領域の前記第1ゲート絶縁膜上面にのみ酸化防止マスクパターンを形成する工程と、前記酸化防止マスクパターンをマスクとして、前記第2素子形成領域の前記第1ゲート絶縁膜上面に第2ゲート絶縁膜を形成する工程と、前記酸化防止マスクパターンを除去する工程と、を備えたことを特徴とした。

【0013】また、請求項2に係る発明は、前記第1素子形成領域は、低電圧素子を形成するための領域で、前記第2素子形成領域は、高電圧素子を形成するための領域であることを特徴とした。また、請求項3に係る発明は、前記第1ゲート絶縁膜及び第2ゲート絶縁膜は、熱酸化法で形成することを特徴とした。

【0014】また、請求項4に係る発明は、前記酸化防止マスクパターンは、シリコン窒化膜であることを特徴とした。また、請求項5に係る発明は、素子特性の相異なる複数の素子を集積したスマート集積回路の素子のゲート絶縁膜を形成するために適用することを特徴とした。

【0015】

【発明の実施の形態】以下、本発明の実施の形態について図面を用いて説明する。本発明に係る半導体素子のゲ

ート絶縁膜形成方法をスマート集積回路に適用した一実施形態を、図1(A)～(E)を参照しながら以下に説明する。図1(A)に示したように、半導体基板200は、従来と同様に、素子分離領域201で区分された第1素子形成領域としての低電圧素子形成領域202と、第2素子形成領域としての高電圧素子形成領域203とを備える。また、半導体基板200の所定深さには、絶縁膜208が形成される。さらに、高電圧素子形成領域203内には、不純物ウェル209、210が形成されている。

【0016】次に、前記半導体基板200の上面に、熱酸化法を施して第1ゲート絶縁膜204を、例えば約200Åの厚さに形成する。この場合、前記第1ゲート絶縁膜204は、熱酸化法によりシリコン酸化膜で形成することが好ましい。次に、図1(B)に示したように、前記第1ゲート絶縁膜204の上面にシリコン窒化膜205を形成する。

【0017】次に、前記シリコン窒化膜205の上面にフォトリソグロフ工程を施して、図1(C)に示したように、低電圧素子形成領域202の上面にのみフォトリソグロフ膜を残し、フォトリソグロフパターン206を形成し、前記フォトリソグロフパターン206をマスクとして前記高電圧素子形成領域203上面のシリコン窒化膜205を部分的に除去してシリコン窒化膜パターン205aを形成する。その後、前記フォトリソグロフパターン206を除去し、図1(D)に示したように、前記シリコン窒化膜パターン205aを酸化防止マスクパターンとして、前記高電圧素子形成領域203上の第1ゲート絶縁膜204の上面のみに第2ゲート絶縁膜207を形成する。このとき、前記第2ゲート絶縁膜207は、熱酸化法を施して二酸化シリコン膜を形成することが好ましい。このようにすると、前記シリコン窒化膜パターン205aにより、低電圧素子形成領域202の上面の第1ゲート絶縁膜204の酸化が防止されるため、低電圧素子の素子特性変化を考慮することなく、高電圧素子の特性のみを考慮して十分な厚さに第2ゲート絶縁膜207を形成することができる。

【0018】即ち、前記高電圧素子形成領域203上のゲート絶縁膜の全体厚さが、400Åである場合、第1ゲート絶縁膜204で既に200Åが形成されているため、200Åの第2ゲート絶縁膜207を更に追加して形成すれば良い。最後に、湿式食刻法を施して前記シリコン窒化膜パターン205aを除去して、図1(E)に示したように、半導体素子のゲート絶縁膜形成工程を完了する。

【0019】尚、本実施形態では、スマート集積回路に適用した場合の半導体素子のゲート絶縁膜形成方法について示したが、適用回路はこれに限らず、電気的特性が相異なる複数の半導体素子を1つの半導体基板に集積し

た回路であればよい。

【0020】

【発明の効果】以上説明したように、本発明によれば、1つのチップ内に集積した第1、第2素子形成領域の各ゲート絶縁膜の厚さを、各素子特性に合わせて調節できるため、半導体素子の信頼性を向上できる。さらに、従来のようにゲート絶縁膜を食刻する必要がないので、半導体基板表面の損傷を防止することが可能となるため、半導体素子の信頼性を向上できる。

【図面の簡単な説明】

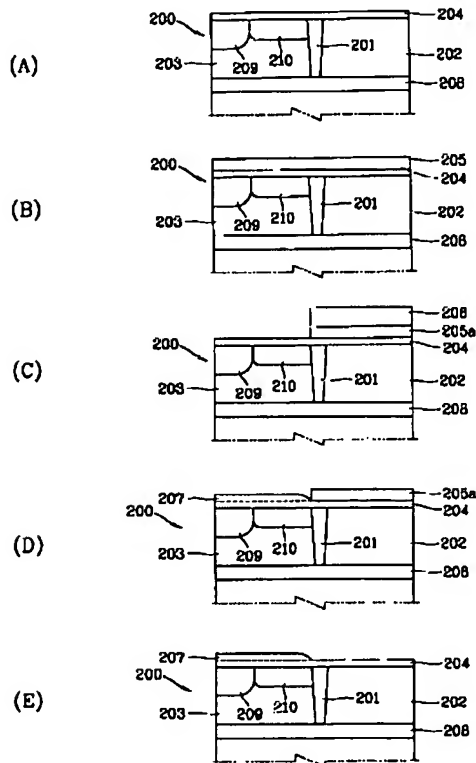
【図1】本発明による半導体素子のゲート絶縁膜形成方法の一実施形態を説明する工程図

【図2】従来技術による半導体素子のゲート絶縁膜形成方法を説明する工程図

【符号の説明】

- 200 半導体基板
- 201 素子分離領域
- 202 低電圧素子形成領域
- 203 高電圧素子形成領域
- 204 第1ゲート絶縁膜
- 205 シリコン窒化膜
- 205a シリコン窒化膜パターン
- 206 フォトリソグストパターン
- 207 第2ゲート絶縁膜

【図1】



【図2】

